

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number **06349858 A**(43) Date of publication of application: **22.12.94**

(51) Int. Cl.

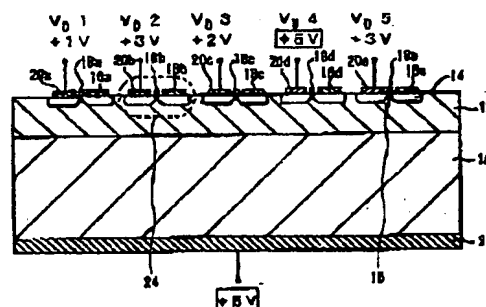
**H01L 21/338****H01L 29/812**(21) Application number: **05137148**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **08.06.93**(72) Inventor: **ONOZAWA SACHIKO**(54) **METHOD OF DRIVING SEMICONDUCTOR DEVICE**

COPYRIGHT (C)1994.JPO

(57) Abstract:

**PURPOSE:** To provide a method of driving a semiconductor device capable of reducing variations caused by back gate effects of a drain voltage-reverse surface electrode voltage characteristic of FET in the semiconductor device as compared with the prior art.

**CONSTITUTION:** A method of driving a semiconductor device (MESFET) of the present invention applies the same voltage as the maximum voltage of fixed voltages respectively applied to drain electrodes 20a, 20b, 20c, 20d, 20e of a field-effect transistor 24 (FET), to an electrode (reverse surface electrode) 22 provided in another surface of a silicon substrate 10. Thus, a drain current flowing in the FET is stabilized to suppress variations of the drain current caused by a back gate effects. Also, as a maximum voltage and a reverse surface electrode voltage of the drain voltage are summed, a leak current flowing in a direction from the substrate to the FET can be suppressed



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-349858

(43)公開日 平成6年(1994)12月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/338  
29/812

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 29/ 80

B

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21)出願番号

特願平5-137148

(22)出願日

平成5年(1993)6月8日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小野澤 幸子

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 弁理士 大垣 孝

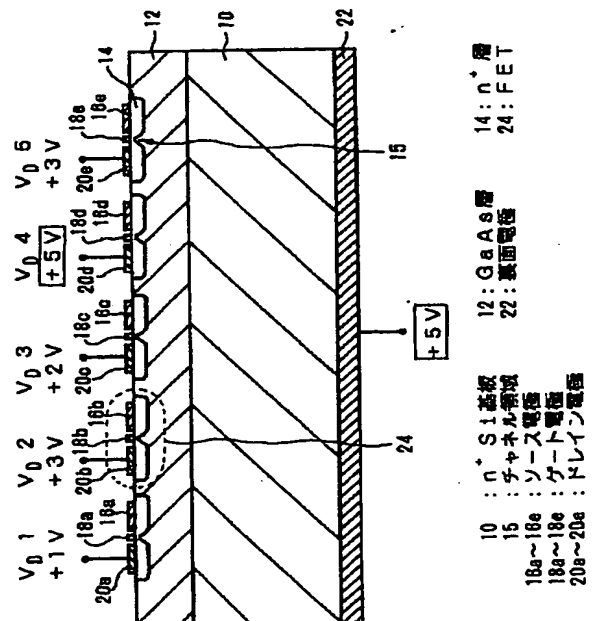
(54)【発明の名称】 半導体装置の駆動方法

(57)【要約】

【目的】 半導体装置中のFETのドレイン電圧-裏面電極電圧特性のバックゲート効果に起因する変動を、従来より軽減できる半導体装置の駆動方法を提供する。

【構成】 この発明の半導体装置(MESFET)の駆動方法によれば、シリコン基板10の他面に設けられた電極(裏面電極)22に、電界効果トランジスタ24

(FET)のドレイン電極20a、20b、20c、20d及び20eにそれぞれ印加される固定電圧のうちの最大電圧と同一の電圧を印加する。このようにすると、FETに流れるドレイン電流は安定し、バックゲート効果によるドレイン電流の変動を抑制することができる。また、ドレイン電圧の最大電圧と裏面電極電圧とを合わせてあるため、基板からFET方向に流れるリーク電流も抑制できる。



この発明のMESFETの構造

## 【特許請求の範囲】

【請求項1】 シリコン基板と、該シリコン基板上に堆積されたGaAs層と、該GaAs層の一方の面側に集積された個別素子群であって少なくとも1つの電界効果トランジスタを含む個別素子群と、前記シリコン基板の他方の面側に設けられた電極とを具える半導体装置を駆動するに当たり、前記シリコン基板の他方の面側に設けられた電極に、前記電界効果トランジスタのドレイン電極にそれぞれ印加される固定電圧のうちの最大電圧と同じ電圧を印加することを特徴とする半導体装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置の駆動方法であってバックゲート効果の低減に有効な駆動方法に関するものである。

## 【0002】

【従来の技術】 従来、電界効果トランジスタ（以下、「FET」と称することもある。）の構造及び駆動方法の例として、文献Iに開示されているものがある（文献I：「A Study of GaAs Digital ICs on Si Substrates」、S. Onozawa, K. Inoguti, Y. Sano and M. Akiyama, Extended Abstracts of the 1992 International Conference on Solid State Devices and Materials, Tsukuba, 1992, pp. 659~661）。

【0003】 この文献Iに開示された従来のFETの構成につき図3を参照して簡単に説明する。

【0004】 従来のFETの構造によれば、30は基板、32はGaAs層、34はn<sup>+</sup>層、36はサイドゲート電極、38はソース電極、40はゲート電極、42はドレイン電極、46は裏面電極、48はアースとから構成されている。この図において、ソース電極38、ゲート電極40、ドレイン電極42及びGaAs層32の部分34がFET44を構成していて、これを点線で囲んで示してある。

【0005】 次に、文献Iに開示されているFETの駆動方法につき説明する。

【0006】 先ず、基板30の裏面電極46をアースに接続し、FETを含む回路のソース電極38、ゲート電極40及びドレイン電極42に所望の電圧を印加して回路を動作させる。

【0007】 この種のFETは、GaAs層32の膜厚が薄い。このため、基板30とFETを構成している間隔が各FET間の間隔よりも小さくなる。従って、サイドゲート電極36から発生する負の電気力線は殆どが基板30側に終端してしまい、FET方向へは向かない。

このため、FETのチャネル電位（ここで、チャネル電位とは図3のチャネル領域35の電位のことをいう。）は、サイドゲート電位の変化を殆ど受けない。従って、ドレイン電流の変化は小さくなり、サイドゲート効果が少なくなることが報告されている。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上述した裏面電極の電位をグランドレベル（0V）として半導体装置を駆動する従来の半導体装置駆動方法は、バックゲート効果に起因する以下に説明するFETの特性劣化を生じることが、この出願に係る発明者の実験により判明した。これに関する詳細な説明は後述する。ここでバックゲート効果とは、半導体上にFETを形成したとき、基板の裏面電極のバイアス電圧によって生ずる電界によりFETの電位が変化し、その結果としてFETのドレイン電流を変動させる現象をいう。

【0009】 図2は、裏面電極の電圧を変化させてドレイン電流の依存性を測定した実験結果を示す。尚、図2は、横軸に裏面電極電圧（ $V_{SUB}$  単位：[V]）を取り、縦軸にドレイン電流（ $I_D$  単位：[A]）を取って表している。また、a曲線、b曲線、c曲線・及びj曲線は、ゲート電圧 $V_G$ を0V〜0.9Vまで変化させたときのドレイン電流を表す。

【0010】 図2から理解できるように、ドレイン電流の変化は裏面電圧（ $V_{SUB}$ ）をA-A線上、すなわちグランドレベル（0V）近傍からマイナス電圧へ移行するに従い、大きくなる。従って、裏面電極の電位によってFETの電気特性が変わる、いわゆるバックゲート効果に起因して、安定した電気特性を得ることができない。

【0011】 この発明は、このような点に鑑みなされたものであり、従って、この発明の目的は、FETを含む個別素子群と裏面電極とを具える半導体装置を駆動する方法であって、該装置中のFETのドレイン電流-裏面電極電圧特性の、バックゲート効果に起因する変動を、従来より軽減できる駆動方法を提供することにある。

## 【0012】

【課題を解決するための手段】 この目的の達成を図るため、この発明の半導体装置の駆動方法によれば、シリコン基板と、該シリコン基板上に堆積されたGaAs層と、該GaAs層の一方の面側に集積された個別素子群であって少なくとも1つの電界効果トランジスタを含む個別素子群と、前記シリコン基板の他方の面側に設けられた電極とを具える半導体装置を駆動するに当たり、前記シリコン基板の他方の面側に設けられた電極に、前記電界効果トランジスタのドレイン電極にそれぞれ印加される固定電圧のうちの最大電圧と同じ電圧を印加することを特徴とする。

## 【0013】

【作用】 この発明の半導体装置の駆動方法によれば、後述の実験結果から明らかなように、構成されている複数

のFETのそれぞれのドレイン電極に印加する固定電圧のうちの最大電圧と等しい裏面電極電圧に印加するので、裏面電極電圧 $V_{SUB}$ によるバックゲート効果が抑制された安定な電圧領域となる。

#### 【0014】

【実施例】以下、各図を参照してこの発明の実施例に用いた半導体装置（例えばMESFET）の構造及びこの半導体装置の駆動方法につき説明する。なお、この説明をいくつかの図面を参照して行なう。しかしながら、これらの図面は、いずれもこの発明を理解できる程度に形状、大きさ及び配置を概略的に示してあるにすぎない。

【0015】図1は、FETを5個形成した例示してあるが、実際には1個でも良いし、或いは、もっと多くのFETによって構成されていてもよい。また、FETの素子構成によっては、ソース電極とドレイン電極の位置が反対になることもある。

【0016】先ず、 $n^+$ シリコン基板10上に任意好適な方法を用いてGaAs層12を形成し、このGaAs層12中に任意好適な方法を用いて $n^+$ 層14及びチャネル領域15を形成する。更に、 $n^+$ 層14上にドレイン電極20a、20b、20c、20d、20e及びソース電極16a、16b、16c、16d、16eを形成し、チャネル領域15上にゲート電極18a、18b、18c、18d、18eを形成する。尚、FET24を点線で囲んである。また、基板10の裏面には、シリコン基板の他方の面側に設けられた電極22（以下、裏面電極と称する。）を形成する。

【0017】次に、図1を参照してMESFETの駆動方法につき説明する。

【0018】FETを構成している複数のドレイン電極20a~20eには、それぞれ異なるドレイン電圧( $V_D$ )を印加する。例えば、 $V_{D1}=+1V$ 、 $V_{D2}=+3V$ 、 $V_{D3}=+2V$ 、 $V_{D4}=+5V$ 及び $V_{D5}=+3V$ の電圧を印加する。このとき、仮に、ソース電極16a~16eがドレイン電極に変わった場合、ソース電極側にそれぞれの電圧を印加することはいうまでもない。一方、裏面電極22には、FETのドレイン電圧 $V_D$ の中で一番高い電圧（最大電圧）を印加する。

【0019】次に、既に説明した図2を参照して裏面電極のバイアス電圧を変えたとき、ゲート電圧 $V_G$ をパラメータにとりドレイン電流の変化につき説明する。

【0020】図2から理解できるように、ドレイン電流( $I_D$ )は、0V(A-A線)よりもやや高い電圧からマイナス電圧側に下げていくと、急激に減少する。基板電圧が0V(A-A線)の時点では、まだドレイン電流は安定しておらず、しかし、基板電圧をこの実施例のように $V_{SUB}=約5V$ (B-B線)にすると、各ゲート電圧( $V_G$ )を変化させてもドレイン電流は従来の $V_{SUB}=0V$ に比べて安定する。すなわち、基板電圧を0Vからプラス電圧側に順次上げてゆくと、ドレイン電流 $I_D$

は基板電圧 $V_{SUB}=約4V$ の当たりから安定領域に入る。従って、基板電圧が4V以上になるとバックゲート効果の影響を抑制することができる。

【0021】また、FETに印加されている各ドレイン電圧のうちの最大値に基板電圧を一致させるようにしている。このため、基板電圧をいたずらに上げることによって基板10からMESFET側へ流れるリーク電流を増加させることはない。

【0022】上述した結果から理解できるように、基板電圧( $V_{SUB}$ )をドレイン電圧( $V_D$ )の最大電圧に合わせることによって、基板10からのリーク電流を抑えながらバックゲート効果を抑制できる。

【0023】上述したこの発明の実施例では、半導体装置の一例として、MESFETにつき説明したが、何らこれに限定されるものではなく、例えばジャンクション電界トランジスタ(JFET)、MOS(Metal Oxide Semiconductor)FET、MIS(Metal Insulator Semiconductor)FET或いはHEMT(High Electron Mobility Transistor)のいずれであっても良い。

#### 【0024】

【発明の効果】上述した説明からも明らかなように、この発明の半導体装置の駆動方法によれば、シリコン基板の他面に設けられた電極に、電界効果トランジスタ(FET)のドレイン電極にそれぞれ印加される固定電圧のうちの最大電圧と同一の電圧を印加する。このため、FETに流れるドレイン電流は安定し、バックゲート効果による変動を抑制することができる。また、FETのドレイン電極に印加される電圧の内の最大電圧と基板の他面に設けられている電極に印加される電圧とを合わせてあるため、基板からFETに流れるリーク電流をいたずらに増加させる心配がなくなる。このため、半導体装置を正常動作させることができる。

#### 【図面の簡単な説明】

【図1】この発明の実施例に供する半導体装置の要部断面図である。

【図2】この発明の実施例の説明に供する図であり、ゲート電圧 $V_G$ をパラメータとした場合の裏面電極電圧とドレイン電流との関係を示した図である。

【図3】従来のMESFET構造を説明するために供する断面図である。

#### 【符号の説明】

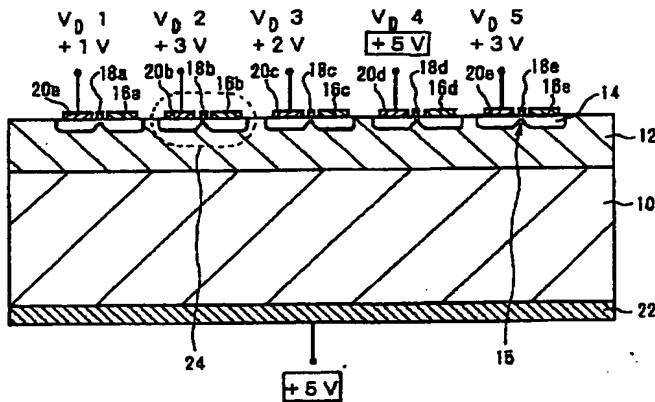
10:  $n^+$ シリコン基板  
12: GaAs層  
14:  $n^+$ 層  
15: チャネル領域  
16a、16b、16c、16d、16e: ソース電極  
18a、18b、18c、18d、18e: ゲート電極  
20a、20b、20c、20d、20e: ドレイン電極

極

22:裏面電極

24:電界効果トランジスタ(FET)

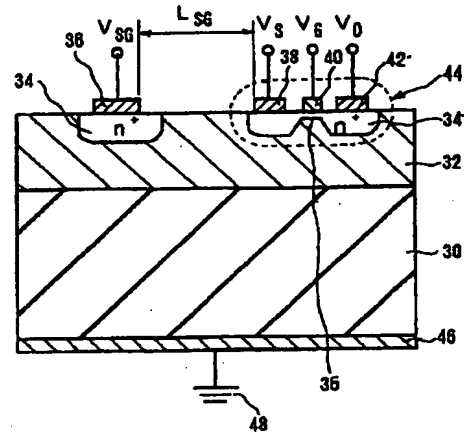
【図1】



10 : n<sup>+</sup> Si 基板      12 : GaAs 層      14 : n<sup>+</sup> 層  
 15 : チャネル領域      22 : 裏面電極      24 : FET  
 16a~16e : ソース電極  
 18a~18e : ゲート電極  
 20a~20e : ドレイン電極

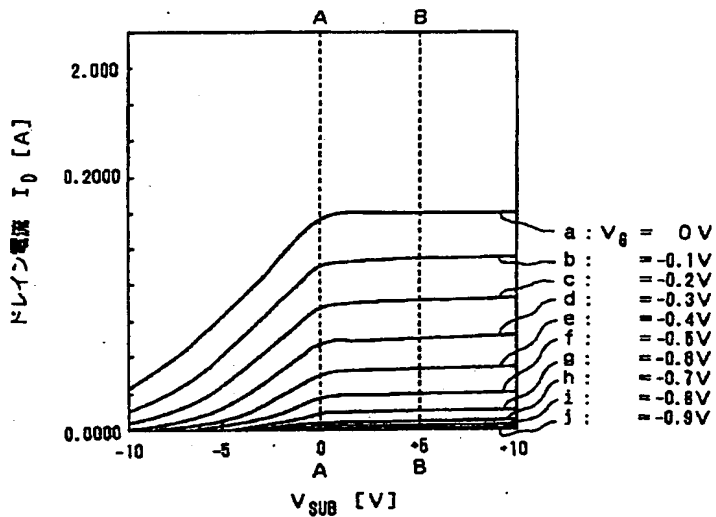
この発明のMESFETの構造

【図3】



従来のMESFET構造

【図2】



裏面電極電圧に対するドレイン電流特性の変化